

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-244755

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月28日

H 01 L 27/04
21/82

A

7514-5F

8526-5F

H 01 L 21/82

P

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 L S I

⑯ 特 願 平1-63862

⑰ 出 願 平1(1989)3月17日

⑱ 発 明 者 渋谷 剛 神奈川県小田原市園府津2880番地 株式会社日立製作所小田原工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

L S I

2. 特許請求の範囲

1. 入出力バッファを入出力方向に2重構造とし、互いに内部回路及び入出力パッドと接続可能な配置を施し、それぞれとメタル配線で接続することにより、論理規模に比して入出力信号の数が多しL S Iをその論理規模に見合うチップサイズに小型化、高集積化することを可能にする、外部回路構造を特徴とするL S I。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はL S I、特に論理規模に比して入出力信号の数が多しL S Iに関し、それを論理規模に見合うチップサイズに小型化し、高集積化し得るよう企図したものである。

(従来の技術)

従来のL S Iの外部回路には、入出力バッファ及び入出力パッドの組をチップ周辺部に1列並び

に配置していた。

このため論理規模に比して入出力信号の数が多し論理回路をL S Iとして実装する際は、周囲の入出力端子の数に見合った、必要以上に広い内部領域が与えられ、そこには空き領域が多く存在することになり、実装密度の低下、及びチップサイズの肥大化が避けられなかった。

なお、従来のL S I多端子化の公知例は、例えば、特開昭62-114259号公報に見られる。これはチップ辺コーナー部分を入出力回路のために有効利用するという主旨のもので、入出力バッファセルを回路機能単位にいくつか分割し、チップ辺のコーナー部分に配置した入出力バッファの機能の一部をチップ辺中央部に置き換えてはいるが、入出力バッファとしての機能が入出力方向に多重構造を有している訳ではない。

(発明が解決しようとする課題)

上記の如き論理規模に比して入出力端子の数が多し論理回路をL S Iとして実装する際には、内部領域に空き領域が多くなり、実装密度が低くな

り、チップサイズが入出力端子の数に見合った大きさに肥大化してしまうという問題点があった。

本発明は上記の問題点を解決し、論理規模に比して入出力端子数の多いLSIをその論理規模に見合ったチップサイズに小型化、高集積化することを目的とする。

〔課題を解決するための手段〕

上記目的を達成する本発明は、あらかじめ外部領域に入出力バッファを入出力方向に2重構造にし得るように、下地を2列分配置しておき、また、内部回路と入出力バッファの配線領域及び入出力バッファと入出力パッドの配線領域も確保しておく。

一方、内部回路の外部回路への接続端子も外部回路の入出力バッファに接続するに要する間隔に設置する。

そして回路論理が決まり次第、内部回路にメタル配線を施し、外部回路との接続端子を形成し、外部回路には入出力バッファを形成し、それぞれ内部回路端子と入出力バッファ間及び入出力バ

ッファと入出力パッド間をメタル配線により接続する。

〔作用〕

外部領域に入出力バッファの下地を2列分配置し、その上下または左右の入出力方向に内部回路と入出力バッファ及び入出力バッファと入出力パッドの配線領域を空けておくことにより、LSIの入出力バッファの入出力方向の2重構造及びその内部回路及びボンディングパッドとの配線を可能にする。

また、内部回路の外部回路への接続端子を外部回路の入出力バッファの間隔に合わせることで、両回路間での配線を効率的にできるようにする。

さらに、内部回路にメタル配線を施し、外部回路の入出力バッファを形成し、内部回路の端子と入出力バッファおよび入出力バッファと入出力パッドをメタル配線により接続することで完了する。

〔実施例〕

以下、本発明の実施例を第1図及び第2図により説明する。

第1図は入出力バッファを入出力方向に2列とし、入出力パッドは外側に1列に配置したものである。ここで内側の入出力バッファと入出力パッドはメタル配線により接続する、この配線は内部回路の入出力端子から外側の入出力バッファへの配線と同様に、若干の仕様の変更をした、従来どりのプロセス技術で可能である。

ここで、仕様の変更とは外部回路における、入出力バッファの下地を入出力方向に2列に並べ、同時に内部回路の入出力端子と入出力バッファ間および入出力バッファと入出力パッド間の配線を実現すべくおこなう。

第2図は入出力バッファを入出力方向に2列にし、同様に入出力パッドをも2列にした構造である。すなわち入出力バッファとボンディングパッドの組の2列に並べたものである。この場合もプロセス技術は上の例と同様なもので可能であり、内側の入出力パッドから基板への接続に用いられるボンディングワイヤは外側の1列の上空を過す。

また、砥石上の2列をさらに応用し、入出力バ

ッファを入出力方向に3重以上の多重構造とすることも可能である。

〔発明の効果〕

以上のように本発明を応用すれば、論理規模に比して入出力端子の多いLSI、例えばデータ転送用論理LSI等では高集積化をもたらし、チップサイズを大幅に小型化することが可能である。

また内部回路では空き領域を減らし、配線を圧縮できるため、各ネットの配線長に伴う信号の遅延が緩和されるため、高速化も同時に実現できる。

4. 図面の簡単な説明

第1図は本発明の一実施例の構成図、

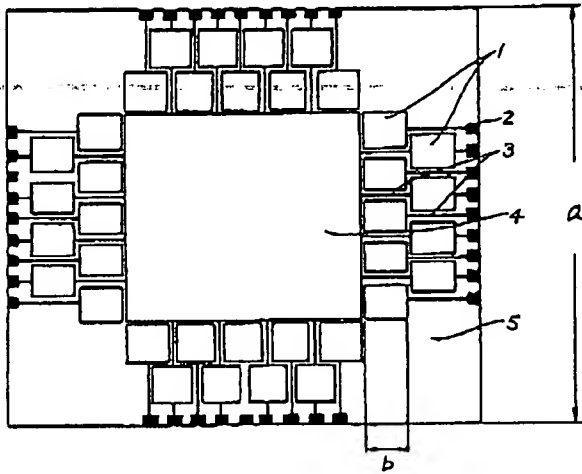
第2図は他の実施例の構成図である。

- 1…入出力バッファ、
- 2…入出力パッド、
- 3…メタル配線、
- 4…内部領域、
- 5…外部領域、



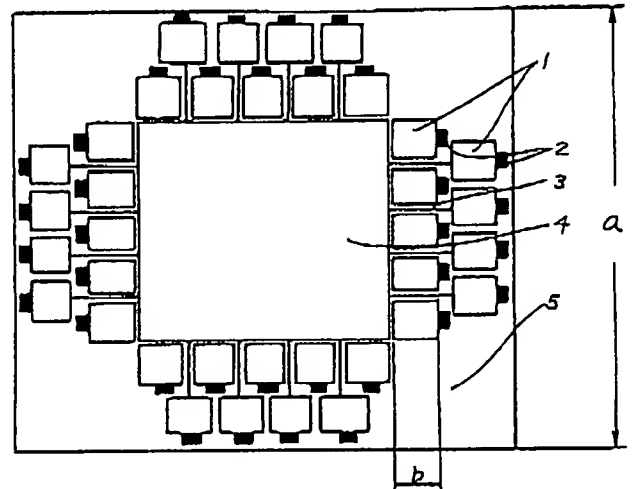
特開平2-244755 (3)

第 1 図



- 1----入出力バッファ
- 2----入出力パッド
- 3----メタル配線
- 4----内部領域
- 5----外部領域

第 2 図



(19) Japan Patent Office (JP)
(12) Japanese Patent Laid-Open (A)
(11) Japanese Patent Laid-Open
No. 2-244755
(43) Date of publication of application:
September 28, 1990

Identification
Symbol Internal File No.
(51) Int.Cl.⁵ A 7514-5F
H 01 L 27/04 8526-5F
21/82 H 01 L 21/82 P

Request for Examination: Unrequested
Number of Claims: 1
(3 pages in all)

(54) Title of the invention: LSI
(21) Application No. 1-63662
(22) Date of filing: March 17, 1989

(72) Inventor: Tsuyoshi Shibuya c/o Odawara plant, Hitachi, Ltd.,
2880, Kouzu, Odawara-shi, Kanagawa
(71) Applicant: Hitachi, Ltd. 6, Surugadai 4-chome, Kanda, Chiyoda-ku,
Tokyo
(74) Agent: Patent Attorney, Katsuo Ogawa and one other person

Specification

1. Title of the Invention:

LSI

2. Claim for the Patent:

1. An LSI, characterized by external circuit structure of making it possible to miniaturize and highly integrate the LSI, having many input/output signals in comparison with a logic scale, into chip size corresponding to the logic scale by making input/output buffers into double structure in an input/output direction, giving arrangement of making them connectable with internal circuits and input/output pads mutually, and connecting them with each other with metal wiring.

3. Detailed Description of the Invention:

[Industrial Application Field]

The present invention relates to an LSI, and in particular, to an LSI having many input/output signals in comparison with a logic scale, and aims at being able to miniaturize and highly integrate it into chip size corresponding to the logic scale.

[Conventional Art]

In external circuits of a conventional LSI, pairs of an input/output buffer and an input/output pad were arranged in one-row alignment in a chip periphery.

For this reason, when a logic circuit having many input/output signals in comparison with a logic scale was implemented as an LSI, an internal area larger than necessity was given according to the number of surrounding input/output terminals, many free areas existed there, and hence, it was not possible to avoid decrease of packaging density and hypertrophy of chip size.

In addition, a well-known example of making a conventional LSI have multiple terminals can be seen in Japanese Patent Laid-Open No. 62-114259, for example. This has purport of using corner portions of chip sides effectively for input/output circuits, input/output buffer cells are divided into several pieces per circuit function, a part of functions of the input/output buffers arranged in the corner portions of the chip sides is replaced with those of center portions of the chip sides, but functions as the input/output buffers never have multiple structure in input/output directions.

[Problems to be Solved by the Invention]

When such a logic circuit that is mentioned above and had many input/output terminals in comparison with a logic scale was implemented

as an LSI, there was a problem that free areas increase in an internal area, packaging density becomes low, and chip size is enlarged in size corresponding to the number of input/output terminals.

The present invention aims at solving the above problem, and miniaturizing and highly integrating an LSI, having the large number of input/output terminals in comparison with a logic scale, into chip size corresponding to the logic scale.

[Means for Solving the Problems]

The present invention achieving the above-described object arranges a foundation by two rows so as to be able to make input/output buffers into double structure in input/output directions beforehand in external areas, and secures wiring areas of internal circuits and input/output buffers, and wiring areas of the input/output buffers and input/output pads.

On the other hand, also connecting terminals of the internal circuits to the external circuits are installed in intervals suitable for connecting to the input/output buffers of the external circuits.

Then, upon circuit logic being determined, metal wiring is given to the internal circuits, connecting terminals with the external circuits are formed, the input/output buffers are formed in the external circuits, and internal circuit terminals and the input/output buffers, and the input/output buffers and input/output pads are connected with metal wiring, respectively.

[Operation]

It enables double structure of input/output buffers of an LSI in input/output directions and wiring with their internal circuits and bonding pads by arranging a foundation of the input/output buffers by two rows in external areas, and emptying the wiring areas of internal

circuits and input/output buffers, and the input/output buffers and input/output pads in their up and down or left and right input/output directions.

In addition, it makes wiring between both circuits efficient by adjusting connecting terminals of the internal circuits toward the external circuits to the intervals of the input/output buffers of the external circuits.

Furthermore, it is completed by giving metal wiring to the internal circuits, forming the input/output buffers of the external circuits, and connecting the internal circuit terminals and input/output buffers, and the input/output buffers and input/output pads with metal wiring.
[Embodiments]

Hereafter, embodiments of the present invention will be explained according to Figures 1 and 2.

Figure 1 shows what makes input/output buffers into two rows in input/output directions, and arranges input/output pads outside in one row. Here, inside input/output buffers and input/output pads are connected with metal wiring. This wiring is possible by process technology equal to the conventional, whose some specifications are changed, similarly to wiring from the input/output terminals of the internal circuits to the outside input/output buffers.

Here, the specification change is performed so as to achieve wiring between the input/output terminals of the internal circuits and the input/output buffers, and between the input/output buffers and input/output pads simultaneously by arranging the foundation of the input/output buffers in the external circuits in two rows in input/output directions.

Figure 2 shows structure of making the input/output buffers into

two rows in input/output directions, and similarly making the input/output pads into two rows. That is, it is arranged into two rows of pairs of an input/output buffer and a bonding pad. Also in this case, it is possible to use process technology which is the same as the upper example, and bonding wires used for connection from the inside input/output pads to the substrate are passed over the outer one row.

In addition, it is also possible to apply further two rows on a grindstone and to make the input/output buffers into three or more multiple structure in the input/output directions.

[Advantages of the Invention]

When applying the present invention as described above, it is possible to highly integrate an LSI having many input/output terminals in comparison with a logic scale, for example, a logic LSI for data transfer, and to miniaturize chip size greatly.

In addition, since it is possible to reduce free areas and to compress wiring in the internal circuits, delay of a signal accompanying wire length of each net is relaxed, and hence, it is also possible simultaneously to achieve acceleration.

4. Brief Description of the Drawings:

Figure 1 is a structural diagram of an embodiment of the present invention; and

Figure 2 is a structural diagram of another embodiment.

- 1 ... Input/output buffers,
- 2 ... Input/output pads,
- 3 ... Metal wiring,
- 4 ... Internal areas,

5 ... External areas.

Figure 1

- 1 Input/output buffer
- 2 Input/output pad
- 3 Metal wiring
- 4 Internal area
- 5 External area